

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Yeh

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: October 31, 2003

Docket No. 250122-1050

For: **Digital Data Driver and LCD Using the Same**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

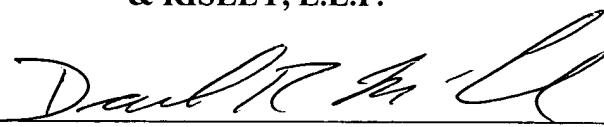
Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "**Digital Data Driver and LCD Using the Same**", filed May 15, 2003, and assigned serial number 92113173. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

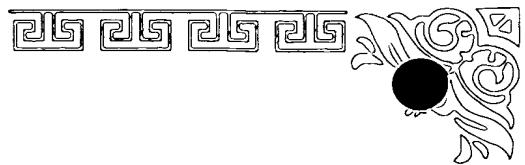
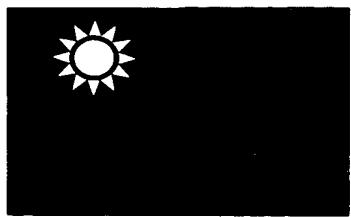
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By:


Daniel R. McClure; Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 05 月 15 日
Application Date

申 請 案 號：092113173
Application No.

申 請 人：友達光電股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 7 月 10 日
Issue Date

發文字號：09220695940
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	數位型資料驅動器及液晶顯示器
	英文	
二、 發明人 (共1人)	姓名 (中文)	1. 葉信宏
	姓名 (英文)	1. Shin-Hung Yeh
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市安和路二段171巷9號6樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 友達光電股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：數位型資料驅動器及液晶顯示器)

一種數位型資料驅動器，包括複數資料信號線，每一資料信號線於一第一時間週期時傳輸一第一資料，並於一第二時間週期時傳輸一第二資料；一第一移位暫存器，於該第一時間週期時，輸出一第一致能信號；一第二移位暫存器，於該第二時間週期時，輸出一第二致能信號；複數傳輸控制單元，分別耦接至一對應之資料信號線，每一傳輸控制單元係根據第一、第二致能信號及兩個外部信號，將第一、第二資料輸出至不同的兩個數位類比轉換器。本發明藉由共用數位栓鎖及數位類比轉換器，避免由於解析度增加時，因為所需要的橫向佈局面積增加，所造成之線路佈局上的困難度。

伍、(一)、本案代表圖為：第3圖。

(二)、本案代表圖之元件代表符號簡單說明：

SR₁、SR₂~位移暫存器；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：數位型資料驅動器及液晶顯示器)

L1-L4~栓鎖器；

T₁-T₇~開關元件；

INV~反相器；

DAC₁-DAC_m~數位類比轉換器；

DL₁-DL_n~資料信號線；

E_{n1}、E_{n2}、E_{n3}、E_{n4}~致能信號。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明有關於一種資料驅動器，特別有關一種液晶顯示器之數位型資料驅動器，藉由共用數位栓鎖及數位類比轉換器，避免由於解析度增加時，因為所需要的橫向佈局面積增加，所造成之線路佈局上的困難度。

【先前技術】

傳統AMLCD之數位型資料驅動器，使用儲存暫存器(數位栓鎖器)，於一信號線週期中作為線路緩衝器(line buffer)用以儲存數位影像信號，且於一次一條信號線的模式下，驅動數位類比轉換器(DAC)。第1A及1B圖顯示傳統上操作於一次一條信號線模式下的一6位元數位型資料驅動架構10。於此架構下，於每個水平描掃週期中，位移暫存器 SR_n 輸出之致能訊號會致使出現在信號線上之數位影像信號R[5]~B[0]，依序地被載入對應的第一級栓鎖Latch11中。之後，藉由"LB"信號的控制，所有存於第一級栓鎖Latch11中之數位影像信號R[5]~B[0]會寫入第二級栓鎖Latch12中，同時被放進數位類比轉換器DAC-R_n、DAC-G_n、DAC-B_n中。並且於下一個位移暫存器 SR_{n+1} 輸出之致能訊號時會致使出現在信號線上之數位影像信號R[5]~B[0]，依序地被載入對應的第一級栓鎖Latch21中。之後，藉由"LB"信號的控制，所有存於第一級栓鎖Latch21中之數位影像信號R[5]~B[0]會寫入第二級栓鎖Latch22中，同時被放進數位類比轉換器DAC-R_{n+1}、DAC-G_{n+1}、DAC-B_{n+1}中。

由於解析度增加，資料位元數會跟著增加，所以很佔



五、發明說明 (2)

佈局面積之儲存暫存器，以及數位類比轉換器的數目也會隨著增加。然而在傳統排列方式下，數位型驅動器於橫向上的佈局是比較受限的。因此，當解析度增加造成儲存暫存器及數位類比轉換器的數目增加時，將會增加線路佈局上的困難度。

【發明內容】

有鑑於此，本發明之首要目的，係在於提供一種數位型資料驅動器，藉由共用數位栓鎖及數位類比轉換器，避免由於解析度增加時，因為所需要的橫向佈局面積增加，所造成之線路佈局上的困難度。

為達成上述目的，本發明提供一種數位型資料驅動器，包括複數資料信號線，每一資料信號線於一第一時間週期時傳輸一第一資料，並於一第二時間週期時傳輸一第二資料；一第一移位暫存器，用以於第一時間週期時，輸出一第一致能信號；一第二移位暫存器，用以於第二時間週期時，輸出一第二致能信號；複數傳輸控制單元，分別耦接至一對應之資料信號線。

其中每一傳輸控制單元包括一第一、第二開關元件，並聯地連接，且各具有一第一端耦接複數資料信號線之一者；一第一栓鎖器，具有一輸入端耦接第一、第二開關元件之一第二端；一第三、第四開關元件，並聯地連接，且各具有一第一端耦接第一栓鎖器之一輸出端；一第二栓鎖器，具有一輸入端耦接第三、第四開關元件之一第二端；一第五、第六開關元件，並聯地連接，且各具有一第一端



五、發明說明 (3)

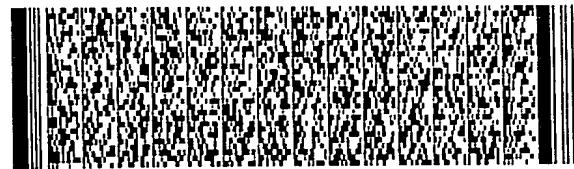
耦接第二栓鎖器之一輸出端；一第三栓鎖器，具有一輸入端耦接第五、第六開關元件之一第二端；一第七開關元件，具有一第一端耦接第三栓鎖器之一輸出端；一第四栓鎖器，具有一輸入端耦接第七開關元件之一第二端；以及一第一反相器，具有一輸入端耦接第三栓鎖器之輸出端。

其中第一、第三開關元件係根據第一致能信號導通，將第一資料儲存到第二栓鎖器中，且第二開關元件係根據第二致能信號導通，將第二資料儲存到第一栓鎖器中。第五、第七開關元件係根據一第三致能信號導通，將存於第二栓鎖器中之第一資料，儲存到第四栓鎖器中，並輸出至第一數位類比轉換器。第四、第六開關元件係根據一第四致能信號將存於第一栓鎖器中之第二資料，經由第一反相器輸出至一第二數位類比轉換器。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

如第2圖中所示，係為適用本發明之數位型資料驅動器的一液晶顯示器200。如第2圖中所示，液晶顯示器200至少具有一由複數畫素所排成之主動矩陣區域201、一掃描驅動器202以及一數位型資料驅動器203。掃描驅動器202，用以依序地開啟主動矩陣區域201中之一列畫素。數位型資料驅動器203，用以輸出資料信號至對應畫素。



五、發明說明 (4)

如第3圖中所示，數位型資料驅動器203，包括複數資料信號線 $DL_1 \sim DL_n$ ，複數移位暫存器(SR_1 、 SR_2)以及複數傳輸控制單元 $TTC1 \sim TTCn$ 。

複數移位暫存器，係依序地輸出一致能信號。於本例中，一第一移位暫存器 SR_1 ，用以於一第一時間週期時，輸出一第一致能信號 E_{n1} 。而一第二移位暫存器 SR_2 ，用以於下一時間週期(第二時間週期)時，輸出一第二致能信號 E_{n2} ，其中第一時間週期與第二時間週期係在同一顯示週期(line period)中。每一資料信號線 $DL_1 \sim DL_n$ 於一第一時間週期時傳輸一第一資料，並於一第二時間週期時傳輸一第二資料。複數傳輸控制單元 $TCC1 \sim TCCn$ ，分別耦接至一對應之資料信號線。

傳輸控制單元($TTC1 \sim TTCn$)各包括一第一、第二開關元件 T_1 、 T_2 ，並聯地連接，且各具有一第一端耦接複數資料信號線 $DL_1 \sim DL_n$ 之一者；一第一栓鎖器 $L1$ ，具有一輸入端耦接第一、第二開關元件 T_1 、 T_2 之一第二端；一第三、第四開關元件 T_3 、 T_4 ，並聯地連接，且各具有一第一端耦接第一栓鎖器 $L1$ 之輸出端；一第二栓鎖器 $L2$ ，具有一輸入端耦接第三、第四開關元件 T_3 、 T_4 之一第二端；一第五、第六開關元件 T_5 、 T_6 ，並聯地連接，且各具有一第一端耦接第二栓鎖器 $L2$ 之輸出端；一第三栓鎖器 $L3$ ，具有一輸入端耦接第五、第六開關元件 T_5 、 T_6 之一第二端；一第七開關元件 T_7 ，具有一第一端耦接第三栓鎖器 $L3$ 之輸出端；一第四栓鎖器 $L4$ ，具有一輸入端耦接第七開關元件 T_7 之一第二



五、發明說明 (5)

端；以及一第一反相器INV1，具有一輸入端耦接第三栓鎖器L3之輸出端。此外，第四栓鎖器與第一反相器之輸出端係耦接至不同之數位類比轉換器。於本例中，第四栓鎖器之輸出端係耦接至一第一數位類比轉換器DAC₁，且第一反相器INV1之輸出端係耦接至一第二數位類比轉換器DAC₂。

第4A~4D圖為本發明中第一傳輸控制單元TCC1的動作示意圖，第5圖為傳輸控制單元TCC1之致能信號的波形圖。以下參考第4A~4D圖以及第5圖，說明本發明傳輸控制單元的動作。

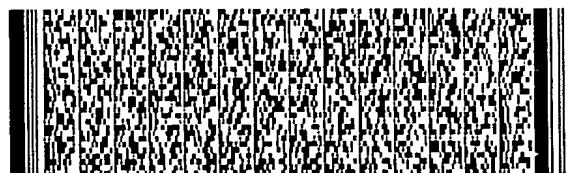
首先，於第N顯示週期之第一時間週期中，第一位移暫存器SR₁會輸出第一致能信號E_{n1}，第一、第三開關元件T₁、T₃會被導通，因此資料信號線DL0上之第一資料D0[0]會被儲存到第一、第二栓鎖器L1、L2中。

接著於第N顯示週期之下一個時間週期(第二時間週期)中，第二位移暫存器SR₂會輸出第二致能信號E_{n2}，第二開關元件T₂會被導通，因此資料信號線DL0上之第二資料D0[1]會被儲存到第一栓鎖器L1中。

在第N顯示週期與第N+1顯示週期之間會有一個遮沒週期(blanking period)。

於遮沒週期中之一第三時間週期中，第五、第七開關元件T₅、T₇，會根據來自外部控制電路之一第三致能信號E_{n3}，將於第二栓鎖器L2中之第一資料，儲存到第三、第四栓鎖器L4中，並輸出至一第一數位類比轉換器DAC₁。

於遮沒週期中之一第四時間週期中，第四、第六開關

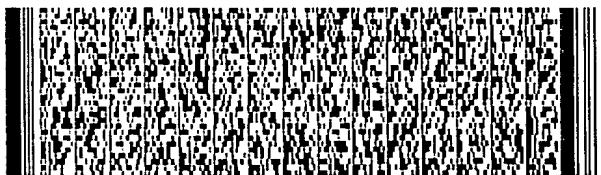


五、發明說明 (6)

元件 T_4 、 T_6 ，會根據來自外部控制電路之一第四致能信號 E_{n_4} ，將存於第一栓鎖器 $L1$ 中之第二資料，儲存到第二、第三栓鎖器 $L2$ 、 $L3$ 中，並經由第一反相器 $INV1$ 輸出至一第二數位類比轉換器 DAC_2 。

本發明之資料驅動器中之其它傳輸控制單元 $TCC2 \sim TCCn$ 的動作，係與第一傳輸控制單元 $TCC1$ 相同，在此不再累述。故本發明之資料驅動器可以依據複數移位暫存器 $SR_1 \sim SR_n$ ，而輸出數位資料至對應的數位類比轉換器 $DAC-R_1 \sim DAC-R_{n+1}$ 、 $DAC-G_1 \sim DAC-G_{n+1}$ 、 $DAC-B_1 \sim DAC-B_{n+1}$ 中。

因此，依據本發明之電路架構，第6圖中之數位型資料驅動器，可以用以取代第1A及1B圖中之習知數位型資料驅動電路，其中第6圖中之 $TCC1 \sim TCCn$ 之電路與第3圖中者相同。在此結構上，於每個水平描掃週期之一第一時間週期中，位移暫存器 SR_n 會致使出現在信號線上之數位影像信號 $R[5] \sim B[0]$ (第一資料)，依序地被載入對應的第二栓鎖器中。且於每個水平描掃週期之一第二時間週期中，位移暫存器 SR_{n+1} 會致使出現在信號線上之數位影像信號 $R1[5] \sim B1[0]$ (第二資料)，依序地被載入對應的第一栓鎖器中。之後，藉由來自外部電路之一第三致能信號的控制，所有存於第二栓鎖器中之數位影像信號 $R[5] \sim B[0]$ 會被寫入第四栓鎖器中，同時被放進數位類比轉換器 $DAC-R_n$ 、 $DAC-G_n$ 、 $DAC-B_n$ 中。並且藉由來自外部電路之一第四致能信號的控制，所有存於第一栓鎖器中之數位影像信號 $R[5] \sim B[0]$ 會被寫入第三栓鎖器中，並藉由反相器輸出至數位類比轉



五、發明說明 (7)

換器 $DAC-R_{n+1}$ 、 $DAC-G_{n+1}$ 、 $DAC-B_{n+1}$ 。

因此，本發明之數位型資料驅動器可以減少所需之橫向佈局面積，故避免由於解析度增加時，因為所需要的橫向佈局面積增加，所造成之線路佈局上的困難度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1B圖表示習知數位型資料驅動器之架構。

第2圖為本發明之液晶顯示器之示意圖。

第3圖為本發明之數位型資料驅動器之示意圖。

第4A~4D圖為本發明數位型資料驅動器中一傳輸控制
器之動作示意圖

第5圖為本發明中傳輸控制單元之致能信號的波形
圖。

第6圖為本發明之數位型資料驅動器之架構。

符號說明

SR_n 、 SR_{n+1} 、 SR_1 、 SR_2 ：位移暫存器；

$Latch11$ 、 $Latch22$ 、 $L1 \sim L4$ ：栓鎖器；

$TG1$ 、 $TG2$ ：傳輸閘；

200：液晶顯示器；

201：主動矩陣區域；

202：掃描驅動器；

203：數位型資料驅動器；

$T_1 \sim T_7$ ：開關元件；

INV：反相器；

$DAC_1 \sim DAC_m$ 、 $DAC-R_n$ 、 $DAC-G_n$ 、 $DAC-B_n$ 、 $DAC-R_{n+1}$ 、 $DAC-G_{n+1}$ 、 $DAC-B_{n+1}$ ：數位類比轉換器；

$DL_1 \sim DL_n$ ：資料信號線；

E_{n1} 、 E_{n2} 、 E_{n3} 、 E_{n4} ：致能信號。



六、申請專利範圍

1. 一種數位型資料驅動器，包括：

複數資料信號線，每一資料信號線於一第一時間週期時傳輸一第一資料，並於一第二時間週期時傳輸一第二資料；

一第一移位暫存器，用以於該第一時間週期時，輸出一第一致能信號；

一第二移位暫存器，用以於該第二時間週期時，輸出一第二致能信號；以及

複數傳輸控制單元，分別耦接至一對應之資料信號線，每一傳輸控制單元係至少包括一第一至第四栓鎖器以及一第一反相器；

其中每一該傳輸控制單元，係根據該第一致能信號與該第二致能信號，分別於該第一栓鎖器及該第二栓鎖器存入該第二資料與該第一資料；並且根據一第三致能信號，將所存之該第一資料儲存至該第四栓鎖器並輸出至一第一數位類比轉換器；並根據一第四致能訊號將所存之該第二資料儲存至該第三栓鎖器並經由該第一反相器輸出至一第二數位類比轉換器。

2. 如申請專利範圍第1項所述之數位型資料驅動器，其中該傳輸控制單元更包括：

一第一、第二開關元件，並聯地連接，且各具有一第一端耦接該複數資料信號線之一者，以及一第二端耦接該第一栓鎖器之一輸入端；

一第三、第四開關元件，並聯地連接，且各具有一第



六、申請專利範圍

一端耦接該第一栓鎖器之一輸出端，以及一第二端耦接該第二栓鎖器之一輸入端；

一第五、第六開關元件，並聯地連接，且各具有一第一端耦接該第二栓鎖器之一輸出端，以及一第二端耦接該第三栓鎖器之一輸入端；以及

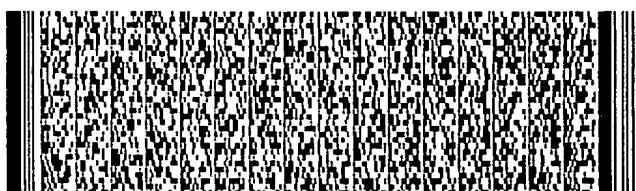
一第七開關元件，具有一第一端耦接該第三栓鎖器之一輸出端，以及一第二端耦接該第四栓鎖器之一輸入端；其中該第一反相器，具有一輸入端耦接該第三栓鎖器之輸出端。

3. 如申請專利範圍第2項所述之數位型資料驅動器，其中該第一、第三開關元件係根據該第一致能信號導通，將該第一資料儲存到該第二栓鎖器中，且該第二開關元件係根據該第二致能信號導通，將該第二資料儲存到該第一栓鎖器中；該第五、第七開關元件係根據一第三致能信號導通，將存於該第二栓鎖器中之該第一資料，儲存到該第四栓鎖器中，並輸出至一第一數位類比轉換器；該第四、第六開關元件係根據一第四致能信號將存於該第一栓鎖器中之該第二資料，經由該第一反相器輸出至一第二數位類比轉換器。

4. 如申請專利範圍第2項所述之數位型資料驅動器，其中該第一至第七開關元件係為傳輸閘。

5. 如申請專利範圍第2項所述之數位型資料驅動器，其中該第一至第七開關元件係為開關電晶體。

6. 如申請專利範圍第2項所述之數位型資料驅動器，



六、申請專利範圍

其中該第三及第四致能信號係於一遮沒(blanking)週期中之一第三時間週期及一第四時間週期中產生，該第三致能信號控制該第五及第七開關元件，該第四時間週期控制第四及第六開關元件。

7. 一種液晶顯示器，包括：

複數畫素，排列成一矩陣形式；

一掃描驅動器，用以依序地開啟該矩陣形式中之一列畫素；以及

一數位型資料驅動器，用以輸出資料信號至對應之畫素；其中該數位型資料驅動器包括：

複數資料信號線，每一資料信號線於一第一時間週期時傳輸一第一資料，並於一第二時間週期時傳輸一第二資料；

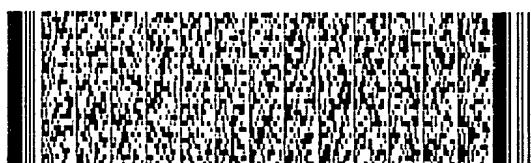
一第一移位暫存器，用以於該第一時間週期時，輸出一第一致能信號；

一第二移位暫存器，用以於該第二時間週期時，輸出一第二致能信號；以及

複數傳輸控制單元，分別耦接至一對應之資料信號線；以及

複數數位類比轉換器，用以將該複數傳輸控制單元輸出之資料信號，轉換成類比信號後，輸出到該畫素；每一傳輸控制單元係至少包括一第一至第四栓鎖器以及一第一反相器；

其中每一該傳輸控制單元，係根據該第一致能信號與



六、申請專利範圍

該第二致能信號，分別於該第一栓鎖器及該第二栓鎖器存入該第二資料與該第一資料；並且根據一第三致能信號，將所存之該第一資料儲存至該第四栓鎖器並輸出至一第一位類比轉換器；並根據一第四致能訊號將所存之該第二資料儲存至該第三栓鎖器並經由該第一反相器輸出至一第二數位類比轉換器。

8. 如申請專利範圍第7項所述之液晶顯示器，其中該傳輸控制單元更包括：

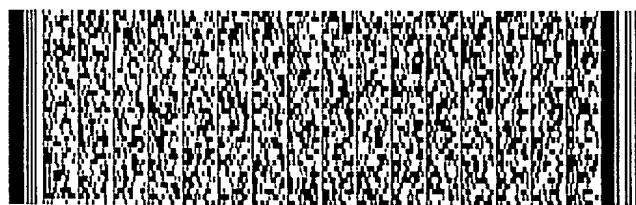
一第一、第二開關元件，並聯地連接，且各具有一第一端耦接該複數資料信號線之一者，以及一第二端耦接該第一栓鎖器之一輸入端；

一第三、第四開關元件，並聯地連接，且各具有一第一端耦接該第一栓鎖器之一輸出端，以及一第二端耦接該第二栓鎖器之一輸入端；

一第五、第六開關元件，並聯地連接，且各具有一第一端耦接該第二栓鎖器之一輸出端，以及一第二端耦接該第三栓鎖器之一輸入端；以及

一第七開關元件，具有一第一端耦接該第三栓鎖器之一輸出端，以及一第二端耦接該第四栓鎖器之一輸入端；其中該第一反相器，具有一輸入端耦接該第三栓鎖器之輸出端。

9. 如申請專利範圍第8項所述之液晶顯示器，其中該第一、第三開關元件係根據該第一致能信號導通，將該第一資料儲存到該第二栓鎖器中，且該第二開關元件係根據



六、申請專利範圍

該第二致能信號導通，將該第二資料儲存到該第一栓鎖器中；該第五、第七開關元件係根據一第三致能信號導通，將存於該第二栓鎖器中之該第一資料，儲存到該第四栓鎖器中，並輸出至一第一數位類比轉換器；該第四、第六開關元件係根據一第四致能信號將存於該第一栓鎖器中之該第二資料，經由該第一反相器輸出至一第二數位類比轉換器。

10. 如申請專利範圍第8項所述之液晶顯示器，其中該第一至第七開關元件係為傳輸閘。

11. 如申請專利範圍第8項所述之液晶顯示器，其中該第一至第七開關元件係為開關電晶體。

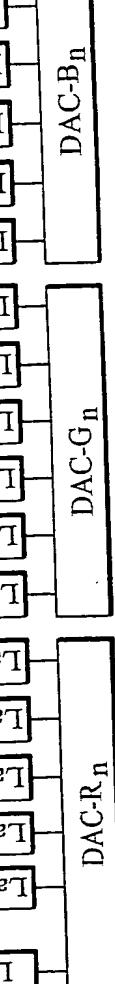
12. 如申請專利範圍第8項所述之液晶顯示器，其中該第三及第四致能信號係於一遮沒(blanking)週期中之一第三時間週期及一第四時間週期中產生，該第三致能信號控制該第五及第七開關元件，該第四時間週期控制第四及第六開關元件。

13. 如申請專利範圍第9項所述之液晶顯示器，其中該第一數位類比轉換器及第二數位類比轉換器，係將接收到之該第一資料、第二資料，轉換成一第一類比資料與一第二類比資料後，分別輸出至一對應之畫素。

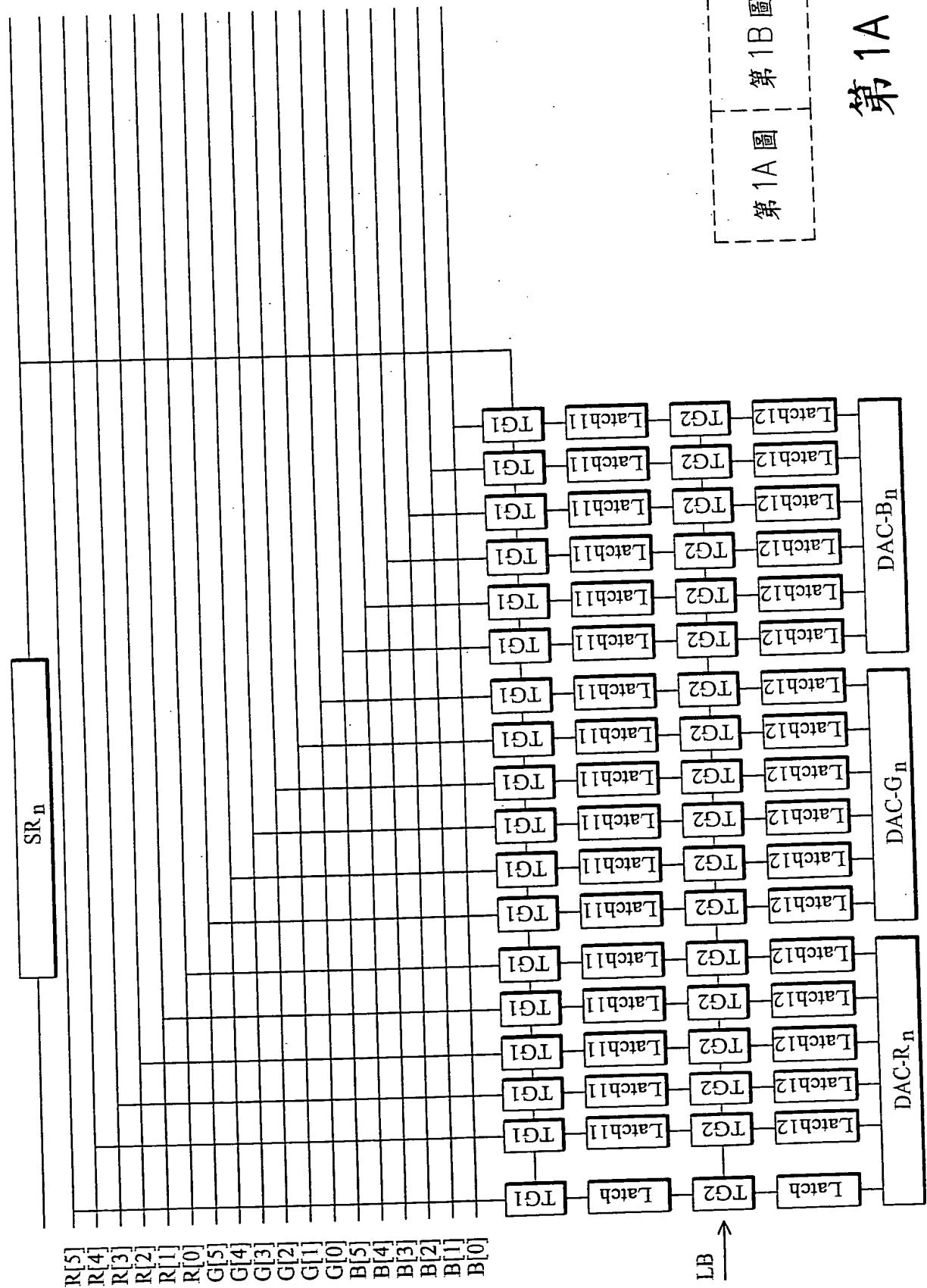


第 1A 圖

第 1A 圖



DAC-R_n



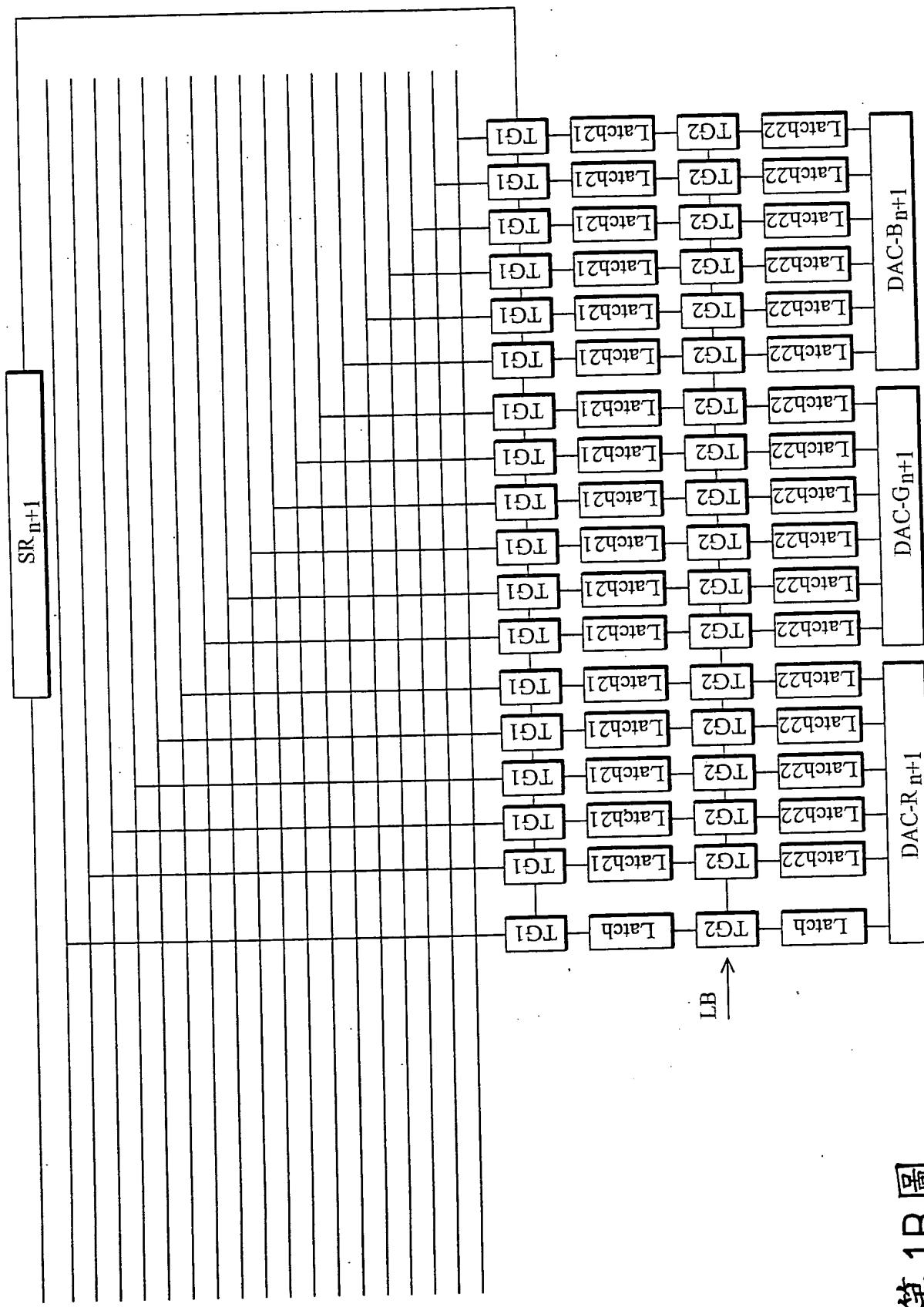
DAC-G_n

SR_n

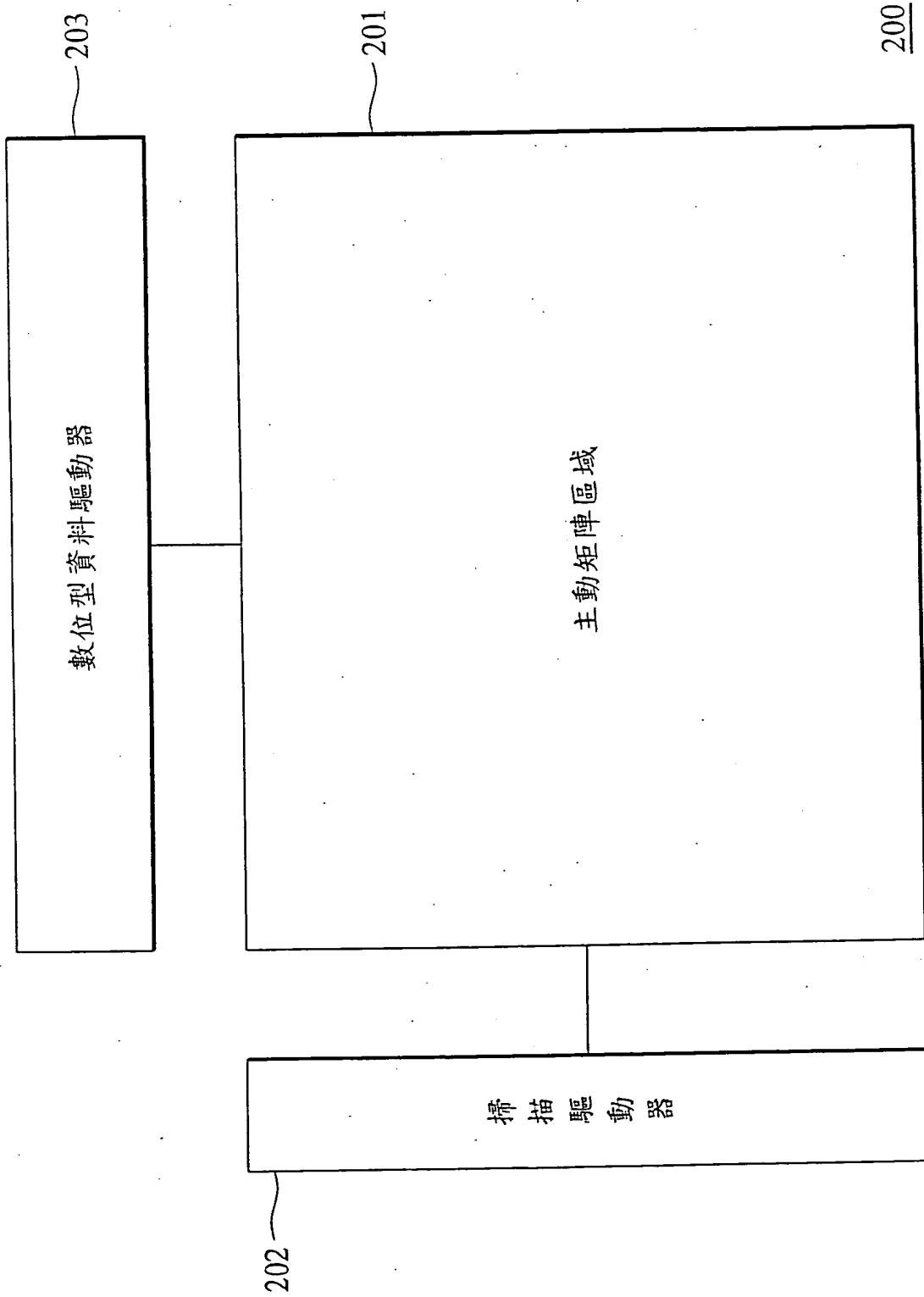
R[5]
R[4]
R[3]
R[2]
R[1]
R[0]
G[5]
G[4]
G[3]
G[2]
G[1]
G[0]
B[5]
B[4]
B[3]
B[2]
B[1]
B[0]

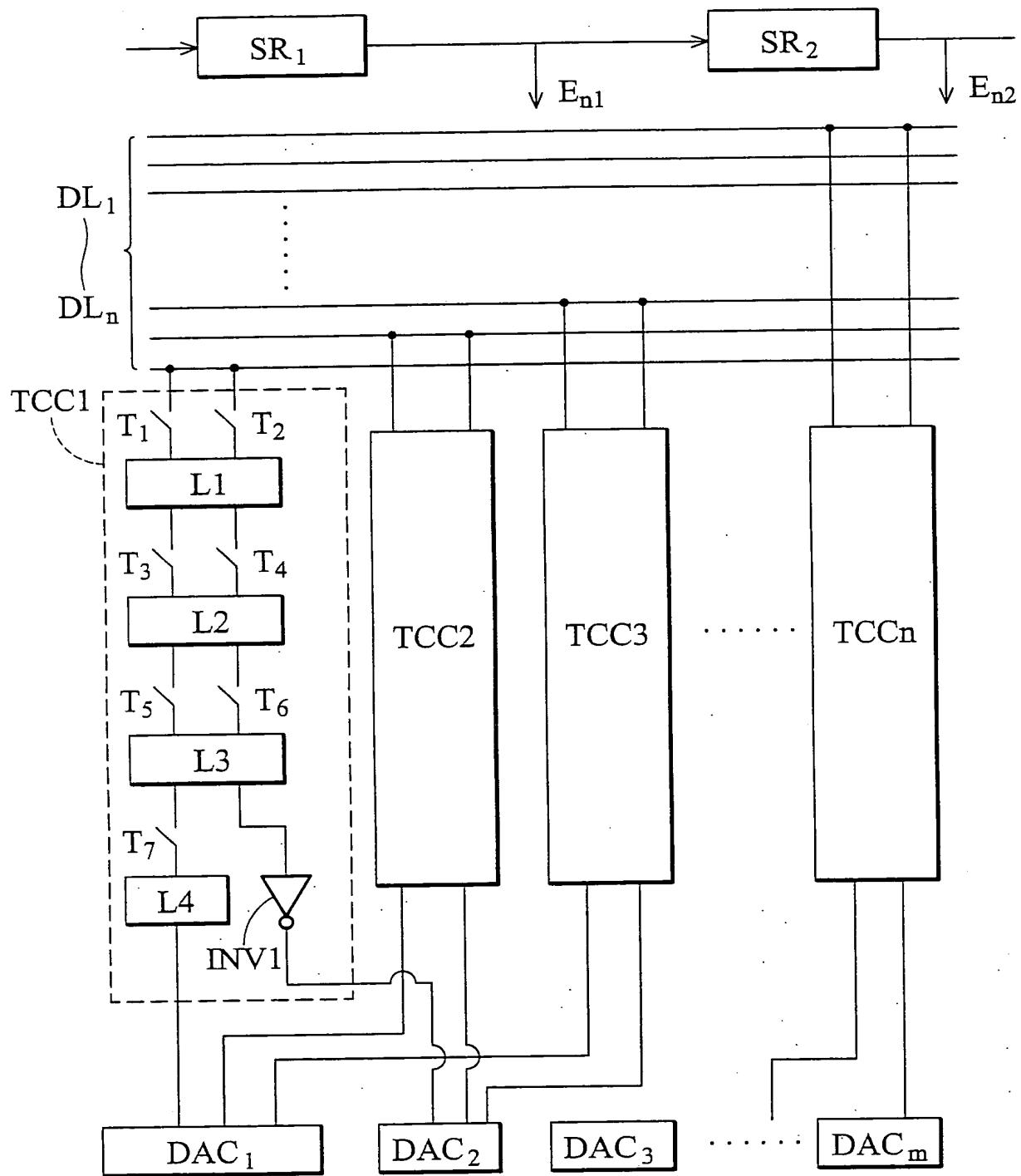
LB →

第 1B 圖



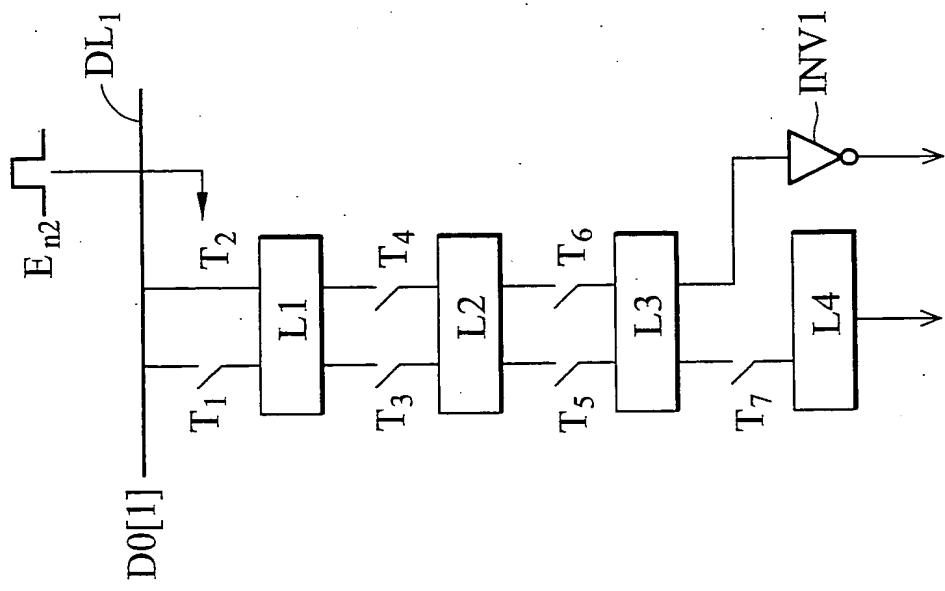
第 2 圖



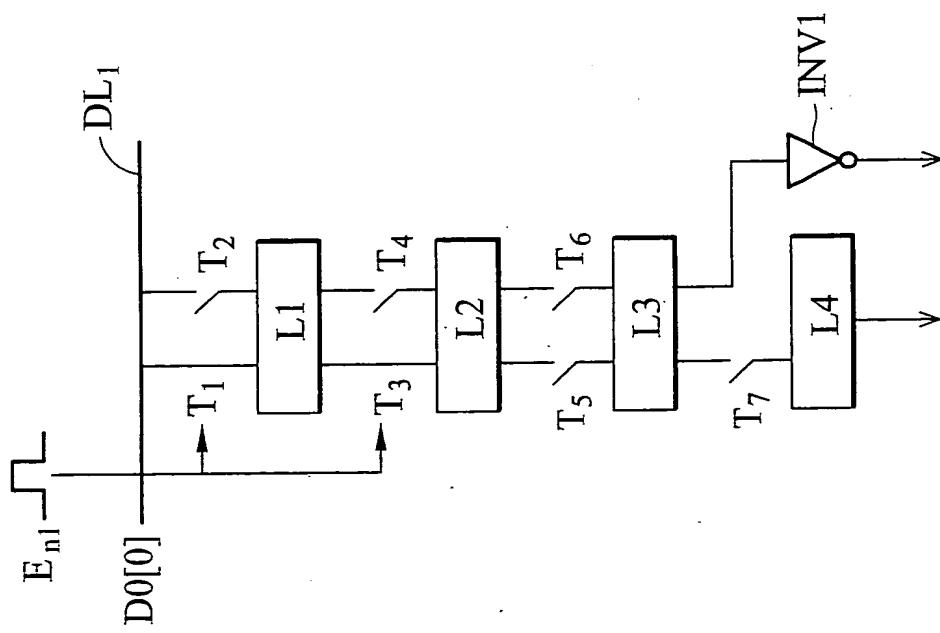


第3圖

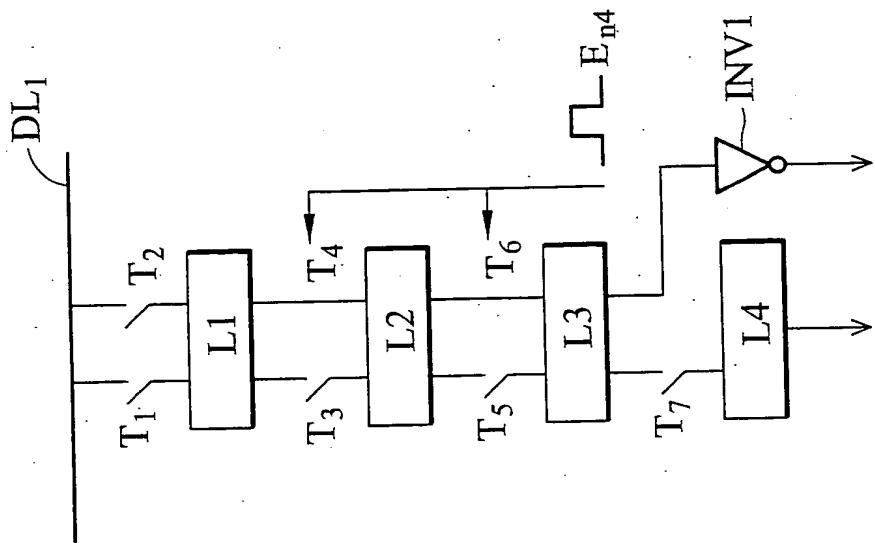
第 4B 圖



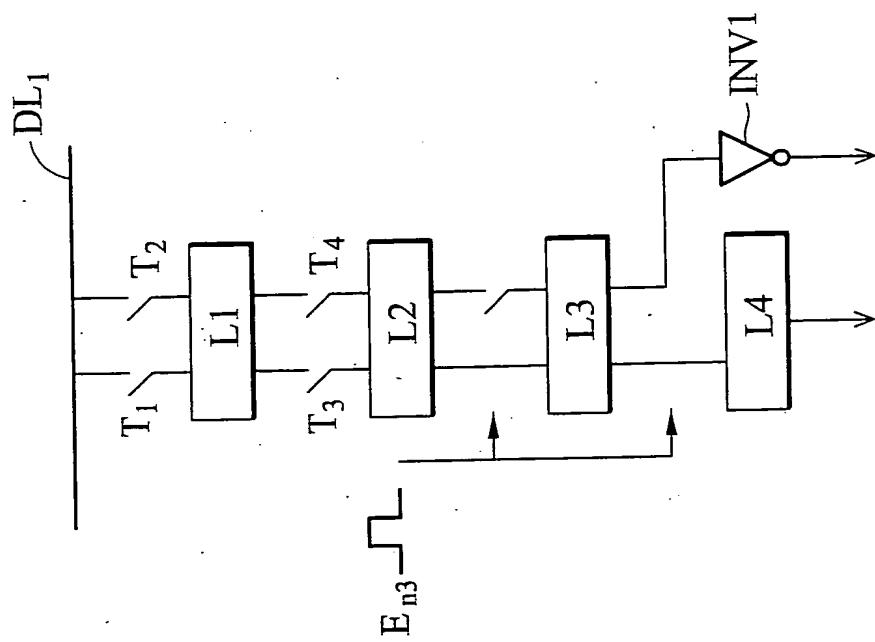
第 4A 圖



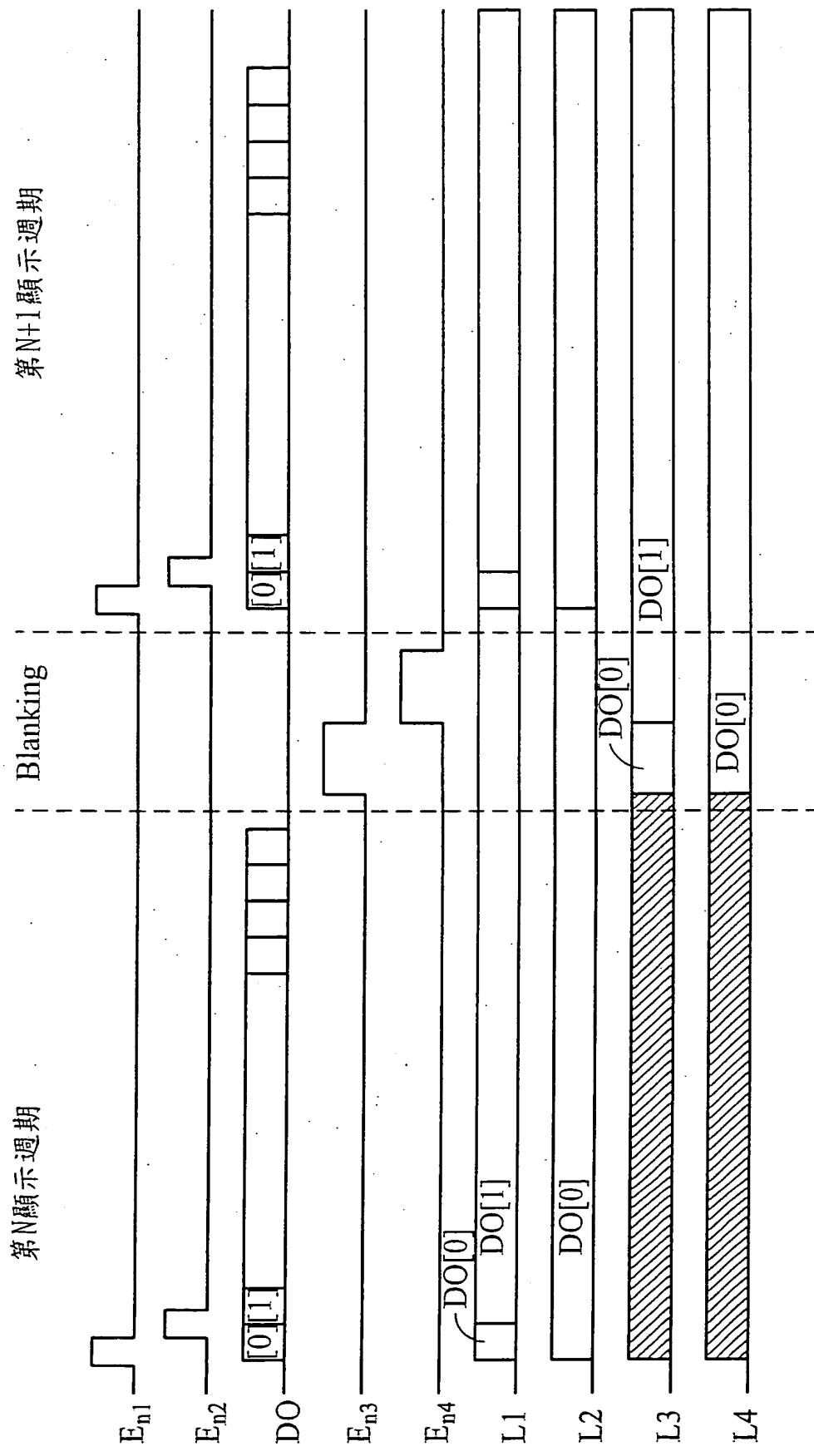
第 4D 圖



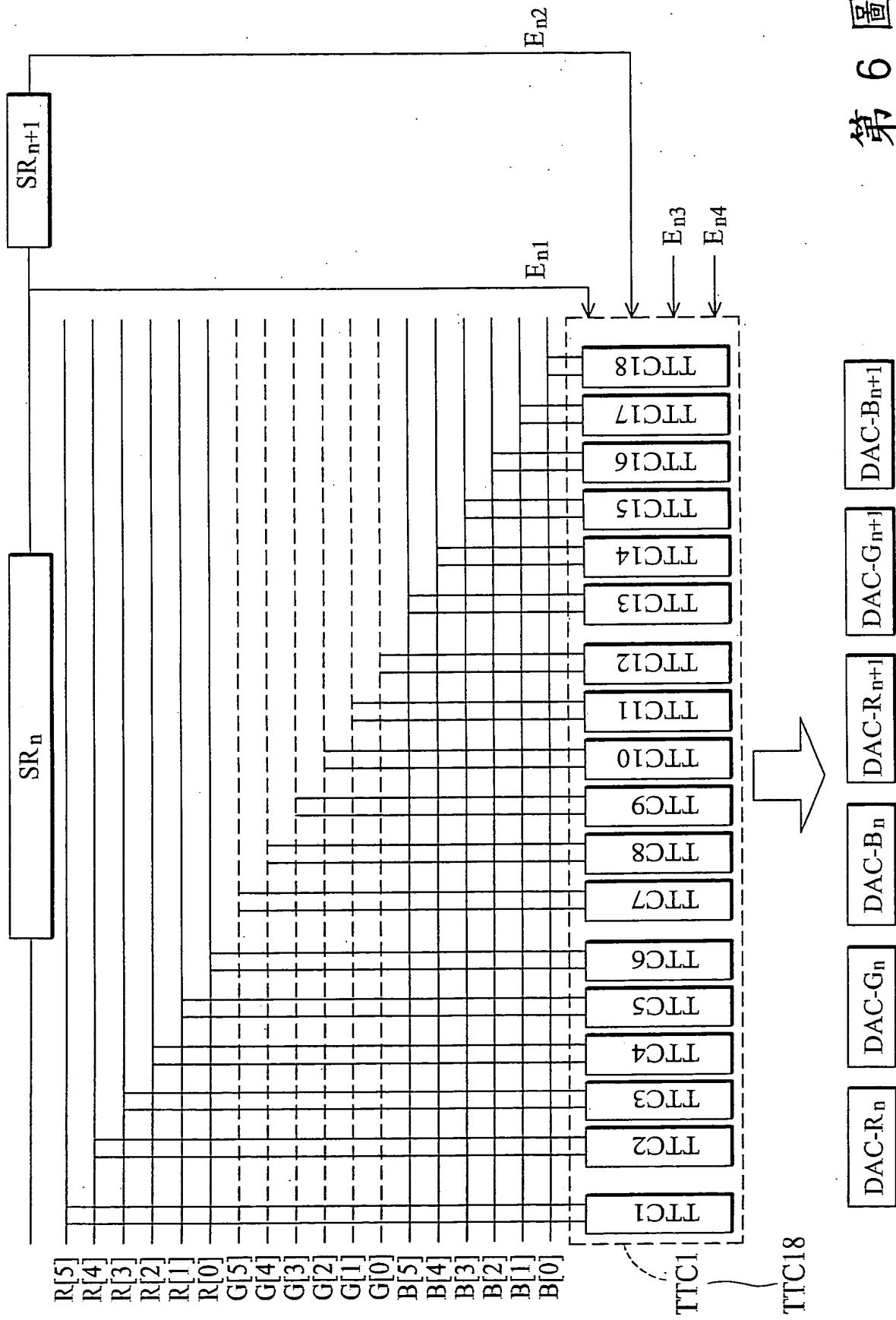
第 4C 圖



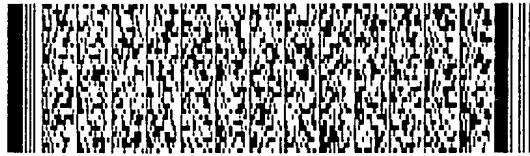
第 5 圖



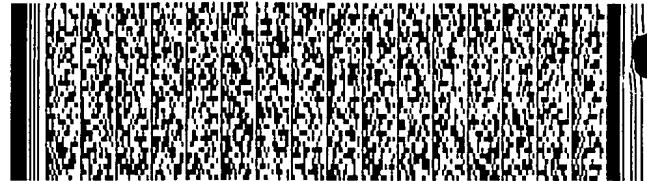
第 6 圖



第 1/17 頁



第 2/17 頁



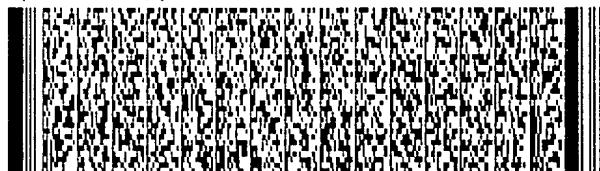
第 3/17 頁



第 4/17 頁



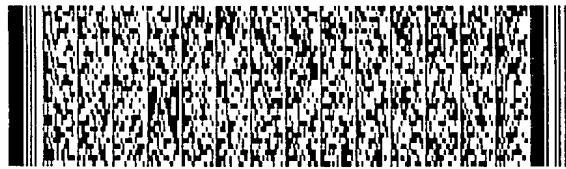
第 5/17 頁



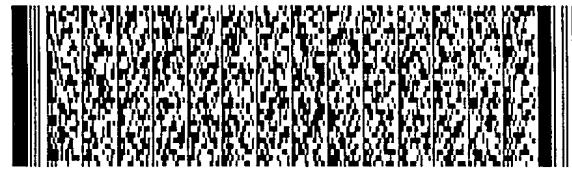
第 5/17 頁



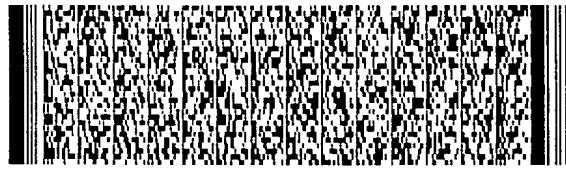
第 6/17 頁



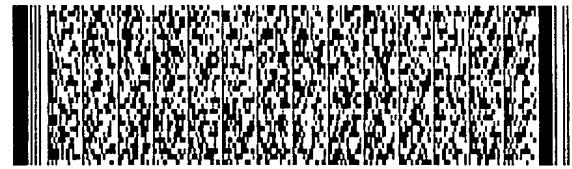
第 6/17 頁



第 7/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



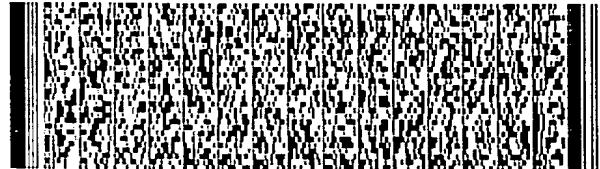
第 9/17 頁



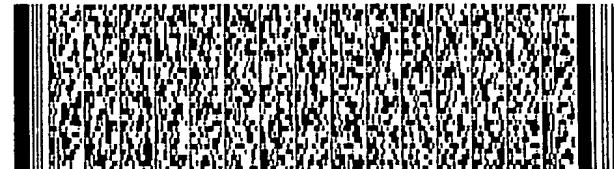
第 9/17 頁



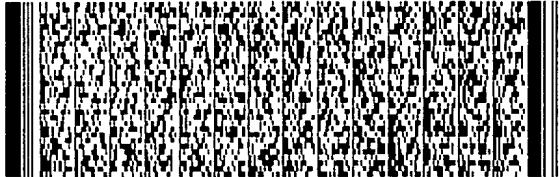
第 10/17 頁



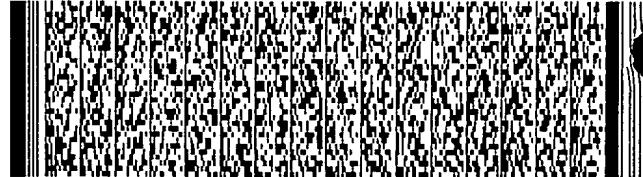
第 10/17 頁



第 11/17 頁



第 12/17 頁



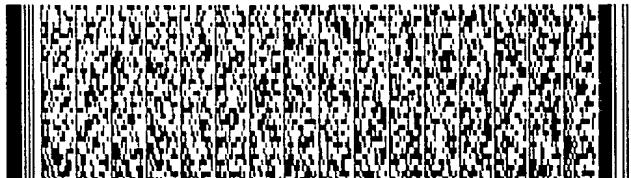
第 13/17 頁



第 13/17 頁



第 14/17 頁



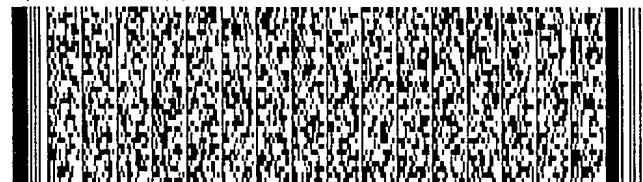
第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

